

NEWS

OF THE NATIONAL ACADEMY OF SCIENCES OF THE REPUBLIC OF KAZAKHSTAN

PHYSICO-MATHEMATICAL SERIES

ISSN 1991-346X

<https://doi.org/10.32014/2020.2518-1726.44>

Volume 3, Number 331 (2020), 118 – 126

УДК: 528.85; 517.958; 551.510.513:629.78

МРНТИ: 89.27-57.29-41

V.F. Grichshenko¹, A.A. Mukushev²

¹SLLP "Ionosphere Institute", Almaty, Kazakhstan;

²al-Farabi Kazakh National University, Almaty, Kazakhstan.

E-mail: labreab@mail.ru

CIRCUIT SIMULATION OF SINGLE FAILURES OF MEMORY MODULES OF ON-BOARD ELECTRONICS

Abstract. The main objective of the work is the circuit simulation of single failures of a cell of memory modules under given conditions and parameters of transistors of a memory element during the passage of a single particle.

The ionization current and critical charges are determined, which lead to a single failure and to the inversion of the logical state of the memory module cell.

Application area. The results can be used in the design of microprocessor systems of on-board electronics of spacecraft.

Keywords: circuit simulation, critical charge, ionization current, on-board equipment.

Relevance of the problem. It is known that during the operation of various spacecraft (SC) as a result of the action of cosmic rays (CR) on-board electronics failures **are**, which leads to emergency situations, and in some cases to the loss of satellites, for example, «KazSat -1» and «Phobos-Soil».

In various countries (France, Russia, USA, China) in cases where it is necessary to predict the behavior of complex structures in space during long-term space flights, or to identify processes that lead to emergency situations in orbit, when decision-making requires preliminary “playback” Several options for the development of events and their consequences are used to simulate the behavior of systems in real conditions.

Therefore, in this work, we use the method of circuit simulation, which is a highly efficient and relatively low-cost method that allows us to evaluate the complex influences of space factors (SF) on the functional state and failures of on-board electronics.

Status of the issue. Distinguish satellite failures for reasons of occurrence, as well as for their impact on the loss of performance of individual on-board systems.

The reasons for the occurrence include the complex influence of SF, including: radiation exposure to solar (SCR) and galactic (GCR) cosmic rays, particles of the Earth’s radiation belts (RP), solar electromagnetic radiation, magnetospheric plasma, SC intrinsic atmosphere, microgravity, micrometeorites and others SF. In more detail, the radiation effects of outer space on the failures of on-board electronic equipment under microgravity conditions were considered by the authors in [1].

It should be noted that the use of electronic components of increased reliability in the on-board electronic equipment does not eliminate the likelihood of failures due to external factors of space.

Failures in the performance of individual on-board systems can result from design errors, poor preflight testing, deterioration of the mechanical and electrical components of systems, incorrect commands or operations due to errors by operators or ground systems, and other causes that are identified by hardware developers in the analysis of failures.

Classification of failures of electronic on-board equipment. In this work, single failures caused by the influence of CR nuclei will be considered as the most dangerous from the point of view of emergency situations in the control systems of on-board equipment.

The types of failures that are most often observed in ground-based modeling experiments and real conditions:

SEU (single event upset) - single reversible failures in **integrated circuits (ICs)** with regular logic, manifested in the form of loss of information in individual cells;

SEL (single event latchup) - single events ("latch" effect) caused by the inclusion of parasitic thyristor structures when protons or heavy CR nuclei enter the sensitive volume of CMOS ICs;

SEHE (single event hard error) - a single microdose effect associated with local release of energy in the sensitive volume of active IC elements upon the entry of protons or CR nuclei with subsequent "dose" failure of this element (after thermal annealing, a return to the working state is usually observed);

SEFI (single event functional interrupt) - a single effect of functional interruption (most characteristic of functionally complex Large Integrated Circuits (LSIs), such as microprocessors, controllers, etc.);

SEB (single event burnout) - a single burnout effect in powerful MOS transistors associated with the opening of a parasitic bipolar transistor when protons or CR nuclei hit;

SEGR (single event gate rupture) - a single breakdown effect of a **gate dielectric** in MOS structures upon the entry of protons or CR nuclei;

SES (single event snapback) - a single effect of **secondary breakdown** in n-MOS transistors;

SET (single event transient) is a transitional ionization reaction caused by the entry of a proton or CR nuclei into the sensitive region of the IP. The effect can manifest itself in the form of current pulses in the output circuits in analog ICs and in mixed type ICs, and can also lead to distortion of information in high-frequency optical information transmission lines [2].

Earlier, the authors of this work presented the mechanism of occurrence of failures (SEU) in memory modules during the passage of a single CR particle under microgravity conditions [1] and circuit simulation of failures (SEL) as a result of the occurrence of electrostatic discharges [3].

In this work, the circuit simulation of failures (SEU and SEL) was carried out on the storage devices (memory) of the CMOS structure, by the action of the ionization current caused by the passage of the CR ionizing particle. This is facilitated by the characteristics of CMOS structures: ultra-low power consumption in a static state and high noise immunity.

The mechanism of formation of the ionization current. In the general case, the single-fault effect is associated with the ingress of single particles into the active region of the transistor, followed by the formation of an **ionization track** inside the transistors and the generation of electron-hole pairs.

Free carriers of electric charge are created along the track of the ionizing particle. The average energy required to create one electron – hole pair in silicon is 3.6 eV [4].

An example of the formation of an ionization current caused by the radiation effect in an n-channel transistor (nMOS) is shown in Figure 1.

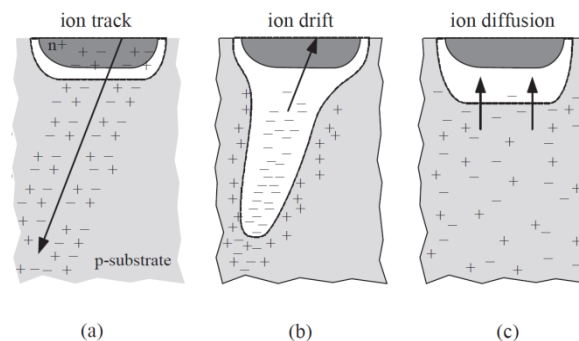


Figure 1 – The mechanism of formation of failure caused by a single CR particle

Figure 1 shows the stages of formation of the ionization current and the time diagram of this current, including:

1a - a charged particle passes near a p-n junction with reverse bias and creates free electron-hole pairs; 1b - electrons pulled up by a positively charged drain field drift toward it, expanding the depletion region and creating an ionization current pulse; 1c - the charge remaining after the end of the pulse continues to deviate into the depletion region until it is collected or recombined.

A single reversible failures (SEU) in a memory cell occurs when a charged particle collides with a sensitive region of the transistor and causes a change in the state of this cell. In a memory cell, especially in a node storing a high logical level, reverse biases between the drain and the substrate are very sensitive to SEU-type failure caused by ionizing particles. This is due to the fact that the storage node is supported by a relatively weak pull-up transistor (pMOS transistor) compared to a strong step-down transistor (nMOS transistor) on another node [5].

The collection of the charge generated by the influence of the CR particle is shown in figure 1. The collected charge Q_{coll} depends on the type of ionizing particle, trajectory, energy value and location of the impact. The range Q_{coll} is from 1 to hundreds of pC. Usually, the critical charge Q_{coll} for a static memory cell is understood as the minimum charge that can be collected by the affected node to change the logical state of the memory cell. Reverse biased nMOS transistors are most sensitive to the effects of CR particles due to the presence of a field and a large space charge region. Thus, Q_{coll} is smaller than the Q_{crit} storage node, then the current generated by the pull-up transistor will prevent the bit from turning over. The value Q_{crit} can be defined as:

$$Q_{crit} = \int_0^{\tau_F} I_D dt = (C_{min} \times V_{dd}) + (I_{dp} \times T_F), \quad (1)$$

where C_{min} is the minimum capacity of the transistor body, V_{dd} is the voltage of the memory cell, I_{dd} is the maximum drainage conductivity pMOS of the transistor, and T_F is the switching time of the memory cell.

Currently, various models based on the concept of threshold voltage are known. These include Level1-Level3, MOS Model 9, BSIM3, BSIM4. The BSIM4 model is the most reliable and describes all the necessary parameters for mathematical expression 1. A significant difference between compact models is the choice of basic variables, in terms of which physical processes in a transistor are described.

From expression 1 it is seen that the value of the critical charge depends on the circuitry parameters of MOS transistors. Therefore, we used SPICE parameters of a compact circuitry model of a transistor (SPICE - Simulation Program with Integrated Circuit Emphasis) [6].

We have developed geometric models of transistors, presented in figure 2, corresponding to the technological process of 0.5 microns.

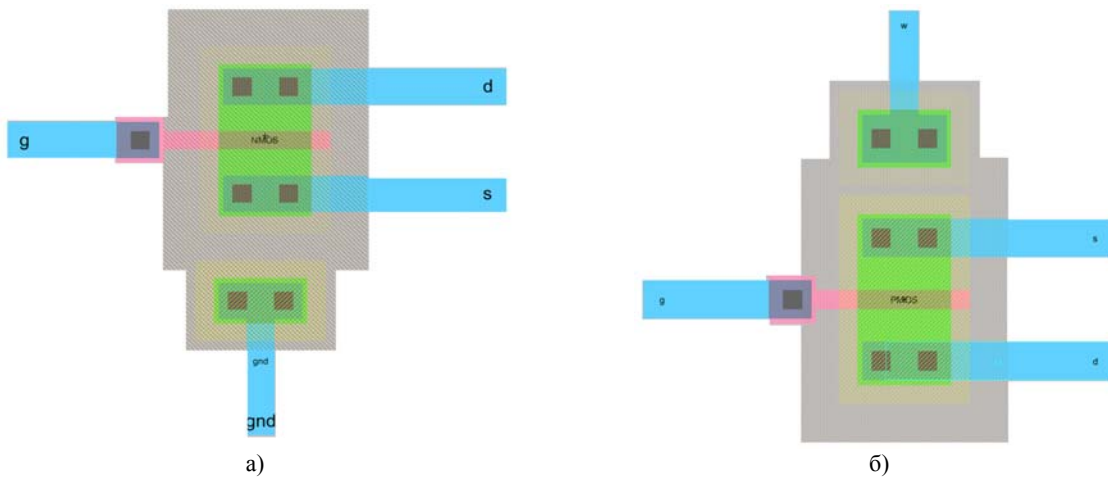


Рисунок 2 – Геометрические модели МОП транзисторов

Physico-topological models of nMOS and pMOS transistors have also been developed using the BSIM4 model.

The physico-topological models of nMOS and pMOS transistors shown in Figure 1 were created with the aim of extracting the circuit parameters of MOS transistors. Physico-topological models of MOS

transistors were created using Electric VLSI computer-aided design. This application is used to design ultra-large integrated circuits.

: As a result of the design, a netlist (list of parameters and specifications) of MOS transistors was obtained, a fragment of which is presented below:

```
*** SPICE deck for cell PMOS_IV {lay} from library tut_2
*** Created on Cp anp 22, 2020 20:00:47
*** Last revised on Cp anp 22, 2020 20:27:49
*** Written on Cp anp 22, 2020 20:29:26 by Electric VLSI Design System, version 9.07
*** Layout tech: mocmos, foundry MOSIS
*** UC SPICE *** , MIN_RESIST 4.0, MIN_CAPAC 0.1FF, MIN_TF 1.2NS
*CMOS/BULK-NWELL (PRELIMINARY PARAMETERS).....
```

Note that the analytical model for the induced current waveform for collecting charges on ion tracks is usually approximated by a double exponential curve with fast rise and fall times:

$$I_{ioniz}(t) = \frac{Q_0}{\tau_F - \tau_R} \left[e^{(-t/\tau_R)} - e^{(-t/\tau_F)} \right], \quad (2)$$

where Q_0 is the total charge collected from one particle, τ_F is the current decay time associated with the diffusion charge collection time ($\sim 0.1 \dots 0.4$ ns), τ_R is the current rise time associated with the carrier drift time through the SCR of the pn junction ($\sim 10 \dots 50$ ps). The simulated ionization current pulse is considered in figure 1 with an explanation.

The value of the conduction current I_{dp} at which a single failure will occur can only be estimated by circuitry modeling the effects of single CR cores using a general-purpose electronic circuit simulator SPICE.

The effect of CR nuclei on the sensitive region of a transistor in an SPICE simulator is simulated by the ionization current of a passing particle. To simulate the ionization current, an equivalent circuit was created consisting of a circuit model of a field-effect transistor and a model of a current generator connected in parallel with the p-n junction of the drain. Figure 3 shows the macromodel of the replacement of the ionization current caused by the action of CR nuclei.

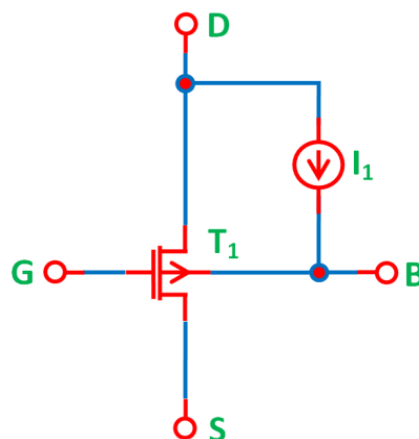


Figure 3 – Macromodel of ionization current substitution caused by exposure to CR nuclei

In the simulation scheme of a single failure in a 6 static memory cell, the stock p-n junctions of closed transistors are vulnerable at the ingress of a single particle.

Figure 4 shows a static memory element (cell).

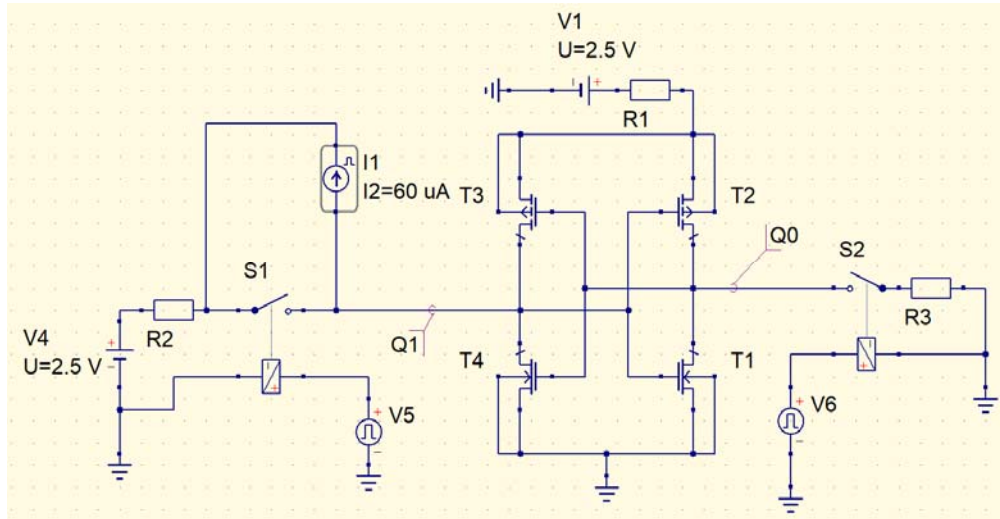


Figure 4 – The memory element of the storage device based on CMOS structures

The main elements of a memory cell are pairs of CMOS transistors (transistors T_1 , T_2 and T_3 , T_4 , respectively), which is a logical inverter, shown in Figure 3. In such an inverter, when transmitting logical signals, one of the transistors is always open and the other is closed. Switches S1 and S2 are used to set the initial conditions for simulation.

Circuit simulation of a single element failure was performed as follows. Suppose, initially, transistors T_4 and T_1 are open in a memory cell, and transistors T_3 and T_2 are closed. The conduction current I_{dp} caused by the passage of the ion is modeled by a current source connected in parallel with the affected transistor in accordance with Figure 2. Then, a surge in the current induced by the ingress of a particle causes two competing processes in the memory cell: absorption of the excess charge and positive feedback operation.

It is also easy to notice that the ionization currents of the drains of open transistors confirm the logical state of the memory cell. Only the ionization currents of the drains of the closed transistors T_3 and T_2 contribute to the switching of the memory cell. In this case, the drain current of a closed- n channel transistor T_2 reduces the voltage at the inputs of transistors T_4 and T_3 , the ionization current of a closed- p channel transistor T_3 reduces the voltage at the inputs of transistors T_1 and T_2 .

In virtual modeling, a memory element was exposed to a current amplitude of up to 36 mA. The simulation results show that the cell is in a stable state, although there are minor bursts, are presented in figure 5a. Since these bursts do not exceed the threshold value, it can be assumed that the memory element provides storage of a bit of information. With an increase in the amplitude of the ionization current over 36 mA, the memory element changes its state, thereby ensuring a single failure to store one bit of information. The obtained time dependence is presented in figure 5b.

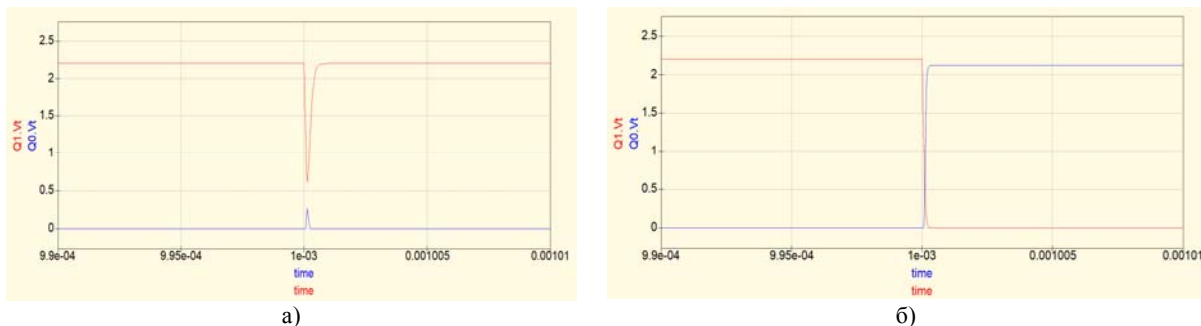


Figure 5 - Time dependence on the outputs (Q_0 , Q_1) of the memory cell and the effect of the ionization current a) up to 36 mcA per memory element, b) over 36 mcA per memory element

From the simulation results presented in Figures 5a and 4b, it can be seen that a single CR particle does not always cause a single failure. To do this, it must fall on the sensitive part of the memory cell and also add a charge in excess of the critical value.

The results of evaluating the critical charge at various supply voltages of the memory element obtained by circuit simulation are presented in table 1.

Table 1 – Values of critical charge and conduction current at various supply voltages

	Supply voltage $V_{dd} = 2.5 \text{ V}$	Supply voltage $V_{dd} = 3.3 \text{ V}$	Supply voltage $V_{dd} = 5 \text{ V}$
Conductivity current value I_{dp} , μA calculated in the circuit simulation program	30	80	160
The value of the critical charge Q_{crit} , pC at the corresponding conductivity current I_{dp} , μA	36	96	193

From the presented results it is seen that an increase in the supply voltage of the memory element contributes to an increase margin in the critical charge, leading to inversion of the memory cell.

The dependence of the critical charge Q_{crit} on the supply voltage V_{dd} and conduction current I_{dp} , leading to the inversion of the logical state of the memory module cell, is presented in table 1.

Thus, in the work, circuit simulation of a memory module cell failure was performed under given conditions and parameters of the memory element transistors when passing a single particle.

The conductivity current and the voltage value of the memory element at which the cell state switched, that is, a single failure, were determined.

The critical charge value which leads to the inversion of the logical state of the memory module cell is determined.

The work was carried out according to the republican budget program 008 “Applied scientific research in the field of space activity within the framework of the scientific and technical program“ Development of space technologies for monitoring and forecasting of natural resources, technological changes in the environment, creation of space technology and ground space infrastructure, research of near and deep space objects (program code 0.0799 for 2018-2020); under the project “Creation of an integrated system for predicting radiation hazard and methods for protecting onboard electronic equipment for spacecraft of various purposes under the complex influence of space factors” (reg. No. 0118PK00801).

В. Ф. Грищенко¹, А. А. Мукушев²

¹"Ионосфера институты" ЕЖШСД, Алматы, Қазақстан;

²Әл-Фараби Қазақ ұлттық университеті, Алматы, Қазақстан

ЭЛЕКТРОНДЫҚ БОРТТЫҚ АППАРАТУРАНЫҢ ЖАДЫ МОДУЛЬДЕРІНІҢ ЖАЛҒЫЗЛІКТІ ІСТЕН ШЫҒУЛАРЫН СЫЗБА НҰСҚАМЕН МОДЕЛЬДЕУ

Аннотация. Жұмыстың негізгі мақсаты берілген шарттар кезінде әртүрлі мақсаттағы ғарыш аппараттарының (ҒА) борттық электронды аппаратурасының істен шығуларын сызбанұсқалық модельдеу және ғарыш сәулелерінің (ҒС) жалғыз бөлшектерінің өтуі кезінде жады элементінің транзисторларының параметрлері болып табылады.

Мәселе өзектілігі. Ғарыштық сәулелердің (ҒС) әсері нәтижесінде әртүрлі мақсаттағы ҒА пайдалану кезінде борттық электрондық жүйелердің істен шығуы орын алатыны белгілі, бұл штаттан тыс жағдайларға, ал кейбір жағдайларда спутниктердің, мысалы, KazSat-1 және «Фобос-грунт» жоғалуына алып келеді. Сондықтан бұл жұмыста жоғары тиімді және салыстырмалы төмен шығынды әдіс болып табылатын, бірең-сараң ғарыш сәулелерінің (ҒС) өту кезінде жады элементінің транзисторларының схемотехникалық параметрлерін бағалауға мүмкіндік беретін схемотехникалық модельдеу әдісі қолданылады.

Мәселенің жағдайы. Істен шығудың пайда болу себептері бойынша, сондай-ақ олардың жекелеген борттық жүйелердің жұмыс істеу қабілеттілігінің жоғалуына әсері бойынша ажыратылады. Пайда болу себептеріне ҒКФ-ның кешенді әсері жатады, оның ішінде: күн (КҒС) және галактикалық (ГҒС) ғарыш сәулелерінің радиациялық әсері, жердің радиациялық белдеулерінің бөлшектері (ЖРБ); микрогравитация, микрометеориттер және басқа да ҒК факторлары. Жекелеген борттық жүйелердің жұмыс істеу

кабiлеттiлiгiнiң жоғалуына жобалау кезiнде қателер, ұшар алдындағы сапасыз тексеру, жүйелердiң механикалық және электр компоненттерiнiң тозуы, операторлардың немесе жер үстi жүйелерiнiң қателерi салдарынан қате командалар немесе операциялар және нақты жағдайларда iстен шығуларды талдау кезiнде аппаратураны әзiрлеушiлер сәйкестендiретiн басқа да себептер әкелуi мүмкiн.

Жұмыста FC ядроларының әсерiнен туындаған, борттық аппаратураны басқару жүйелерiнде штаттан тыс жағдайлардың пайда болуы тұрғысынан неғұрлым қауiптi, оның iшiнде: SEU (single event upset) – жеке ұшықтарда ақпаратты жоғалту түрiнде көрiнетiн тұрақты логикасы бар ИС – да жалғыз қайтымды ақаулар; SEL – (single event latchup) – FC өтуi кезiнде КМОП ИС сезiмтал беттерiнде паразиттік тиристорлық құрылымдардiң қосуы ("ысырма" әсерi) және басқа да iстен шығудан туындауы бiрең-сараң оқиғаларға алып келедi.

Бұл жұмыста ИС дайындау кезiнде басым болып табылатын КМОП-құрылымда жүргiзiлген есте сақтау құрылғыларына (СК) радиациялық әсер ету кезiнде iстен шығулардың схемотехникалық моделдеудiң (SEU және SEL) нәтижелерi келтiрiледi.

Транзисторлардың iшiндегi ионизациялық трекиң және электронды тесiктер жұптарының пайда болуымен транзисторындағы n-каналда (nMOS) сәулелену әсерiнен туындаған иондану тогының пайда болу кезеңдерi мен механизми қарастырылады.

Жады элементiнiң *бiрең сараң iстен шығуын схемотехникалық модельдеу орындалды*. Сұлбалық параметрлердi бағалау үшiн BSIM4 моделiн және Electric VLSI автоматтандырылған жобалау жүйесiн пайдалана отырып n-МОП және р-МОП транзисторларының физика-топологиялық модельдерiн қолдану арқылы транзисторлардың геометриялық үлгiсi әзiрлендi. Бiрең сараң iстен шығу кезiндегi өткiзiштер тогының мәни, SPICE жалпы мақсаттағы электрондық схемалардың симуляторын пайдалана отырып бағаланды.

Spice-симулятордағы FC ядроларының транзисторының сезiмтал аймағына әсер етуi ток көзiмен байланыстырады, ол далалық транзистордың схемотехникалық моделiнен және р-n ағын өткелiне параллель қосылған ток генераторы моделiнен тұратын макромоделдiң баламалы схемасында моделденедi. FC ядроларының әсерiнен туындаған иондау тоғын алмастыру макромоделi құрылды.

Виртуалды моделдеуде берiлген параметрлердiң жады элементi 36 мкА дейiнгi амплитудамен ток әсерiне ұшырайды. Модельдеудiң нәтижелерi ұшық тұрақты күйде және шектi мәннен аспайтын елеусiз өзгерiстер бар екенiн көрсеттi, сондықтан жады элементi ақпарат битiнiң сақталуын қамтамасыз ете алады. Иондау тогының амплитудасы 36 мкА жоғары болғанда жады элементi өзiнiң жай-күйiн өзгертедi, осылайша бiр ақпарат битiн сақтауда бiрең сараң iстен шығуды көрсеттi.

Әртүрлi қоректену кернеуiнде критикалық зарядтың және өткiзiштік тогының мәндерi берiлген. Жад элементiнiң қуат кернеуiн арттыру жад ұшығының инверсиясына әкелетiн сыни заряд бойынша қордың артуына ықпал ететiнi көрсетiлген.

Өткiзiштік тогы және ұшықтың күйiн ауыстырып қосу, яғни жалғыз iстен шығу болған жады элементiнiң қуат кернеуiнiң шамасы анықталды.

Жад модульдерi ұшығының логикалық күйiнiң инверсиясына әкелетiн критикалық зарядтың шамасы анықталды.

Осылайша, жұмыста жеке-дара бөлшектердiң өтуi кезiнде жады элементiнiң транзисторларының параметрлерi мен берiлген шарттар кезiнде жад модульдерiнiң ұшықтарының iстен шығуының схемотехникалық моделдеуi орындалды. Алынған нәтижелер әртүрлi мақсаттағы FA борттық электрондық аппаратурасында пайдалану үшiн микропроцессорлық жүйелердi жобалау кезiнде пайдаланылуы мүмкiн.

Түйiн сөздер: тiзбектi модельдеу, критикалық заряд, иондану тогы, борттық жабдық.

В. Ф. Грищенко¹, А. А. Мукушев²

¹ДТОО "Институт ионосферы", Алматы, Казахстан;

²Аль-Фараби Казахский национальный университет, Алматы, Казахстан

СХЕМОТЕХНИЧЕСКОЕ МОДЕЛИРОВАНИЕ ОДИНОЧНЫХ ОТКАЗОВ МОДУЛЕЙ ПАМЯТИ ЭЛЕКТРОННОЙ БОРТОВОЙ АППАРАТУРЫ

Аннотация. Основной целью работы является схемотехническое моделирование отказов бортовой электронной аппаратуры космических аппаратов (КА) различного назначения при заданных условиях и параметров транзисторов элемента памяти при прохождении одиночной частицы космических лучей (КЛ).

Актуальность проблемы. Известно, что во время эксплуатации КА различного назначения в результате воздействия космических лучей (КЛ) происходят отказы бортовых электронных систем, что приводит к

нештатным ситуациям, а в некоторых случаях и к потере спутников, например, KazSat -1 и «Фобос-грунт». Поэтому в данной работе используется метод схмотехнического моделирования, являющийся высокоэффективным и относительно низкочастотным методом, позволяющий оценить схмотехнические параметры транзисторов элемента памяти при прохождении одиночной частицы космических лучей (КЛ).

Состояние вопроса. Различают отказы КА по причинам возникновения, а также по их влиянию на потерю работоспособности отдельных бортовых систем. К причинам возникновения относится комплексное влияние ФКП, в том числе: радиационное воздействие солнечных (СКЛ) и галактических (ГКЛ) космических лучей, частиц радиационных поясов Земли (РПЗ); микрогравитация, микрометеориты и другие факторы КП. К потере работоспособности отдельных бортовых систем могут привести ошибки при проектировании, некачественная предполетная проверка, износ механических и электрических компонентов систем, некорректные команды или операции вследствие ошибок операторов или наземных систем и другие причины, которые идентифицируются разработчиками аппаратуры при анализе отказов в реальных условиях.

В работе рассматриваются одиночные отказы, вызванные воздействием ядер КЛ, как наиболее опасные с точки зрения возникновения штатных ситуаций в системах управления бортовой аппаратуры, в том числе: SEU (single event upset) – одиночные обратимые сбои в ИС с регулярной логикой, проявляющиеся в виде потери информации в отдельных ячейках; SEL (single event latchup) – одиночные события радиационного защелкивания (эффект «защелки»), вызванные включением паразитных тиристорных структур при КЛ в чувствительный объем КМОП ИС и другие отказы.

В данной работе приводятся результаты схмотехнического моделирования отказов (SEU и SEL) при радиационном воздействии на запоминающие устройства (ЗУ), которое проводилось на КМОП-структуре, являющейся доминирующей при изготовлении ИС.

Рассматриваются этапы и механизм образования тока ионизации, вызванного радиационным эффектом в n-канальном транзисторе (nMOS) с последующим образованием внутри транзисторов ионизационного трека и генерации электронно-дырочных пар.

Выполнено *схмотехническое моделирование одиночного сбоя* элемента памяти. Для оценки схмотехнических параметров были разработаны: геометрическая модель транзисторов, с использованием модели BSIM4 и физико-топологические модели n-МОП и p-МОП транзисторов с использованием системы автоматизированного проектирования Electric VLSI. Значение тока проводимости, при котором происходит одиночный отказ, оценивался с использованием симулятора электронных схем общего назначения SPICE.

Воздействие на чувствительную область транзистора ядер КЛ в SPICE-симуляторе имитируется источником тока, который моделируется в эквивалентной схеме макромодели, состоящей из схмотехнической модели полевого транзистора и модели генератора тока, включенного параллельно p-n переходу стока. Создана макромодель замещения тока ионизации, вызванного воздействием ядер КЛ.

Представлена схмотехническая SPICE модель элемента памяти на основе КМОП – структур. Показано, что в схеме моделирования одиночного сбоя в статическом элементе памяти, уязвимого к попаданию одиночной частицы, являются стоковые p-n переходы закрытых транзисторов. Рассмотрен механизм образования тока проводимости, вызванного прохождением одиночной частицы КЛ, который моделируется источником тока, подключенного параллельно пораженному транзистору.

В виртуальном моделировании элемент памяти заданных параметров подвергался воздействию тока амплитудой до 36 мкА. Результаты моделирования показали, что ячейка находится в устойчивом состоянии и имеются незначительные всплески, которые не превышают порогового значения, поэтому элемент памяти обеспечивает хранение бита информации. При увеличении амплитуды тока ионизации свыше 36 мкА элемент памяти изменяет своё состояние, тем самым обеспечивает одиночный отказ в хранении одного бита информации.

Представлены значения критического заряда и тока проводимости при различных напряжениях питания. Показано, что увеличение напряжения питания элемента памяти способствует увеличению запаса по критическому заряду, приводящему к инверсии ячейки памяти.

Определен ток проводимости и величина напряжения питания элемента памяти, при котором произошло переключение состояния ячейки, то есть одиночный отказ.

Определена величина критического заряда, которая приводит к инверсии логического состояния ячейки модулей памяти.

Таким образом, в работе выполнено схмотехническое моделирование отказа ячейки модулей памяти при заданных условиях и параметров транзисторов элемента памяти при прохождении одиночной частицы. Полученные результаты могут быть использованы при проектировании микропроцессорных систем для использования в бортовой электронной аппаратуре КА различного назначения.

Ключевые слова: схмотехническое моделирование, критический заряд, ток ионизации, бортовая аппаратура.

Information about authors:

Grichshenko V.F., candidate of phys. math sciences, associate professor. Head Laboratory of Reliability and Security of Orbital and Terrestrial Space Systems; <http://orcid.org/0000-0003-2244-5599>;

Mukushev A.A., al-Farabi Kazakh National University. PhD doctoral student of the Faculty of Mechanics and Mathematics, Department of Mechanics

REFERENCES

- [1] Musabayev T., Zhintayev Zh., Grichshenko V. Complex influence of Space environment on materials and electronics devices in the conditions of microgravity // *Advances in Space Researches*. Elsevier, 2016, 58, P.1138-1145. IF–1,406. <https://doi.org/10.1016/j.asr.2016.05.030>
- [2] <https://www.sciencedirect.com/journal/advances-in-space-research/vol/58/issue/6> (in Eng.).
- [3] Kuznetsov N.V. Radiation conditions in the orbits of spacecraft // In: *Space Model*. under the editorship of M.I. Panasyuk, L.S. Novikov. M.: Science, 2007. T.1. C. 25-30. ISBN: 978-5-98227-418- <http://kdu.ru/node/659>. (in Rus.)
- [4] Zhantaev Zh.Sh., Grishchenko V.F., Mukushev A. Circuit modeling of protection of electronic equipment from electrostatic discharge. *News of NAS RK. Series of physico-mathematical-* №4, 2016, p. 15-19. ISSN 1991-346X , <http://physics-mathematics.kz/index.php/en/chive> (in Rus.)
- [5] Wang F.,Agrawal V. (2008) Single event upset: An embedded tutorial, 21st International Conference on VLSI Design (VLSID 2008), pp. 429-434. DOI:[10.1109/VLSI.2008.28](https://doi.org/10.1109/VLSI.2008.28) (in Eng.).
- [6] https://www.eng.auburn.edu/~agrawvd/TALKS/tutorial_6pg.pdf
- [7] Baumann R. (2005) Soft errors in advanced computer systems, *Design Test of Computers*, IEEE, vol. 22, no. 3, pp. 258-266. DOI: [10.1109/MDT.2005.69](https://doi.org/10.1109/MDT.2005.69) (in Eng.).
- [8] <https://ieeexplore.ieee.org/document/1438282>
- [9] [1] Liu W. (2010) *MOSFET Models for SPICE Simulation: Including BSIM3v3 and BSIM4*, Wiley-IEEE Press, USA. ISBN: 978-0-470-54718-2
- [10] <https://www.wiley.com/en-kz/MOSFET+Models+for+SPICE+Simulation:+Including+BSIM3v3+and+BSIM4-p-9780471396970> (in Eng.).